

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08195072 A**(43) Date of publication of application: **30 . 07 . 96**

(51) Int. Cl.

G11B 27/28
G11B 20/10
H04N 5/783
H04N 5/92

(21) Application number: **07031685**(22) Date of filing: **27 . 01 . 95**(30) Priority: **14 . 11 . 94 JP 06304421**(71) Applicant: **SONY CORP**(72) Inventor: **YANAGIHARA HISAFUMI**

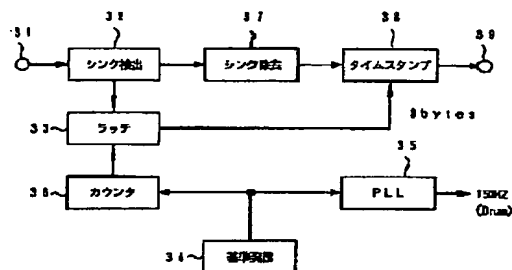
(54) **DEVICE AND METHOD FOR
 RECORDING/REPRODUCING DIGITAL DATA**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To reproduce the same time base state as the input time at a reproducing time by adding arrival time information of a packet based on a reference clock to respective packets for holding respective time base information.

CONSTITUTION: A transport packet before conversion is detected through an input terminal 31, and a head sync is detected through a sync detection circuit 32 to be supplied to a latch 33, a sync removal circuit 37. One byte of the sync is removed in the circuit 37 to be supplied to a time stamp circuit 38. Further, a reference clock from a reference clock generation circuit 34 is counted by a counter 36 to gain time information through the latch circuit 33, and it is added with the time information of three byte by the circuit 38 to be outputted from an output terminal 39. Further, the reference clock is supplied to a PLL 35, and a drum is rotated by its output, and the rotation of the drum is synchronized with the reference clock at the time of recording/ reproducing. Thus, the time information is held in recording/reproducing.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-195072

(43) 公開日 平成8年(1996)7月30日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 27/28	A			
20/10	3 0 1 Z	7736-5D		
H 0 4 N 5/783	J			
			H 0 4 N 5/ 92	H
			G 1 1 B 27/ 28	A
審査請求 未請求 請求項の数21			FD (全 20 頁)	最終頁に続く

(21) 出願番号 特願平7-31685

(22) 出願日 平成7年(1995)1月27日

(31) 優先権主張番号 特願平6-304421

(32) 優先日 平6(1994)11月14日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 柳原 尚史

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

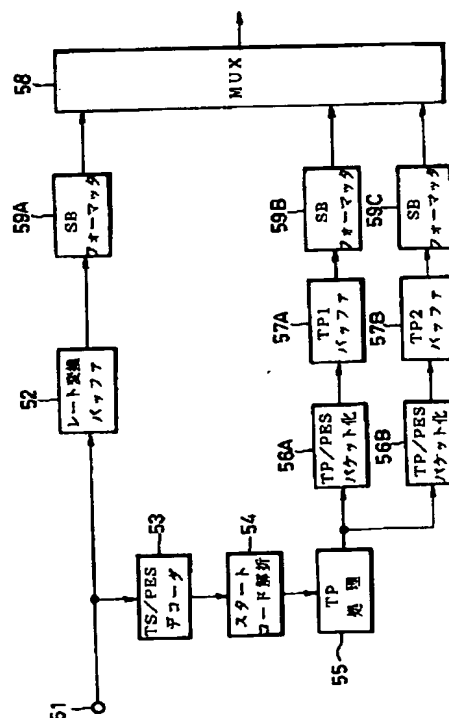
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 デジタルデータ記録/再生装置及び方法

(57) 【要約】

【目的】 トランスポート packets をレート変換してデジタル V T R に記録した場合に、再生時に時間軸が正しく保てるようにする。また、変速再生時に画質が劣化しないようにする。

【構成】 基準クロックに基づきデータ packets の到着時刻を発生し、データ packets にデータ packets の到着時刻を付加する。再生時には、この時刻情報を基に、入力時と同じ時間軸状態を再現する。また、テープ上の各トラックをノーマルプレイエリアとトリックプレイエリアとに分類し、トリックプレイエリアは、最大変速再生速度においてヘッドがトレースする再生可能エリアの少なくとも1つに選定し、ノーマルプレイエリアにデータ packets を記録し、トリックプレイエリアにデータ packets より抽出した一部の变速再生用のデータを記録する。



【特許請求の範囲】

【請求項1】 データ packets をテープ上に記録するデジタルデータ記録装置において、基準クロックに基づき上記データ packets の到着時刻を発生する時刻発生手段と、上記データ packets に上記データ packets の到着時刻を付加する手段とを備えるようにしたデジタルデータ記録装置。

【請求項2】 上記データ packets は、レート変換されて上記テープに記録され、上記到着時間の付加は、上記レート変換される前に行うようにした請求項1記載のデジタルデータ記録装置。

【請求項3】 上記時刻情報が付加されたデータ packets は、mシンクブロックにn packets (m及びnは整数) 分配されるようにした請求項1又は2記載のデジタルデータ記録装置。

【請求項4】 上記基準クロックに同期させてドラムを回転させるようにした請求項1、2、又は3記載のデジタルデータ記録装置。

【請求項5】 テープ上に記録されたデータ packets を再生するデジタルデータ再生装置において、上記データ packets に付加された到着時刻に基づいて、時間軸を管理するようにしたことを特徴とするデジタルデータ再生装置。

【請求項6】 データ packets をテープ上に記録する記録系と、上記テープ上に記録されたデータ packets を再生する再生系とからなるデジタルデータ記録再生装置において、

上記記録系は、基準クロックに基づき上記データ packets の到着時刻を発生する時刻発生手段と、上記データ packets に上記データ packets の到着時刻を付加する手段とを備え、

上記再生系は、上記データ packets に付加された到着時刻に基づいて、時間軸を管理するようにしたデジタルデータ記録再生装置。

【請求項7】 データ packets をテープ上に記録するデジタルデータ記録方法において、基準クロックに基づき上記データ packets の到着時刻を発生し、

上記データ packets に上記データ packets の到着時刻を付加するようにしたデジタルデータ記録方法。

【請求項8】 上記データ packets は、レート変換されて上記テープに記録され、上記到着時間の付加は、上記レート変換される前に行うようにした請求項7記載のデジタルデータ記録方法。

【請求項9】 上記時刻情報が付加されたデータ packets は、mシンクブロックにn packets (m及びnは整数) 分配されるようにした請求項7又は8記載のデジタルデータ記録方法。

【請求項10】 上記基準クロックに同期させてドラム

を回転させるようにした請求項7、8、又は9記載のデジタルデータ記録方法。

【請求項11】 テープ上に記録されたデータ packets を再生するデジタルデータ再生方法において、上記データ packets に付加された到着時刻に基づいて、時間軸を管理するようにしたことを特徴とするデジタルデータ再生方法。

【請求項12】 データ packets をテープ上に記録するデジタルデータ記録装置において、テープ上の各トラックをノーマルプレイエリアとトリックプレイエリアとに分類する手段と、上記トリックプレイエリアは、最大変速再生速度においてヘッドがトレースする再生可能エリアの少なくとも1つに選定し、

上記ノーマルプレイエリアに上記データ packets を記録し、上記トリックプレイエリアに上記データ packets より抽出した一部の変速再生用のデータを記録する手段とからなるデジタルデータ記録装置。

【請求項13】 上記トリックプレイエリアは、高速変速再生用の第1のトリックプレイエリアと、低速変速再生用の第2のトリックプレイエリアとからなり、上記高速変速再生用の第1のトリックプレイエリア及び低速変速再生用の第2のトリックプレイエリアは、それぞれ、異なるアジマスのトラックに配置されるようにした請求項12記載のデジタルデータ記録装置。

【請求項14】 1ピクチャを複数に分割し、上記1ピクチャの分割された部分毎にバッファメモリに記憶して、上記トリックプレイエリアに記録するようにした請求項12又は13記載のデジタルデータ記録装置。

【請求項15】 上記高速変速再生用の第1のトリックプレイエリアは、ATFでトラッキング情報が得られる側のトラックに記録されるようにした請求項12、13、又は14記載のデジタルデータ記録装置。

【請求項16】 テープ上に記録されたデータ packets を再生するデジタルデータ再生装置において、変速再生時に、トリックプレイエリアのデータを再生する手段を備えるようにしたデジタルデータ再生装置。

【請求項17】 データ packets をテープ上に記録する記録系と、上記テープ上に記録されたデータ packets を再生する再生系とからなるデジタルデータ記録再生装置において、

上記記録系は、テープ上の各トラックをノーマルプレイエリアとトリックプレイエリアとに分類する手段と、上記トリックプレイエリアは、最大変速再生速度においてヘッドがトレースする再生可能エリアの少なくとも1つに選定し、上記ノーマルプレイエリアに上記データ packets を記録し、上記トリックプレイエリアに上記データ packets より抽出した一部の変速再生用のデータを記録する手段とからなり、

上記再生系は、変速再生時に、上記トリックプレイエリ

アのデータを再生する手段を備えるようにしたデジタルデータ記録再生装置。

【請求項18】 データ packets をテープ上に記録するデジタルデータ記録方法において、テープ上の各トラックをノーマルプレイエリアとトリックプレイエリアとに分類し、上記トリックプレイエリアは、最大変速再生速度においてヘッドがトレースする再生可能エリアの少なくとも1つに選定し、上記ノーマルプレイエリアに上記データ packets を記録し、上記トリックプレイエリアに上記データ packets より抽出した一部の変速再生用のデータを記録するようにしたデジタルデータ記録方法。

【請求項19】 上記トリックプレイエリアは、高速変速再生用の第1のトリックプレイエリアと、低速変速再生用の第2のトリックプレイエリアとからなり、上記高速変速再生用の第1のトリックプレイエリア及び低速変速再生用の第2のトリックプレイエリアは、それぞれ、異なるアジマスのトラックに記録されるようにした請求項18記載のデジタルデータ記録方法。

【請求項20】 上記高速変速再生用の第1のトリックプレイエリアは、ATFでトラック情報が見られる側のトラックに記録されるようにした請求項18又は19記載のデジタルデータ記録方法。

【請求項21】 テープ上に記録されたデータ packets を再生するデジタルデータ再生方法において、変速再生時に、トリックプレイエリアのデータを再生するようにしたデジタルデータ再生方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、MPEG2のトランスポート packets を磁気テープに記録／再生するデジタルデータ記録／再生装置及び方法に関する。

【0002】

【従来の技術】 デジタルビデオ信号をDCT (Discrete Cosine Transform) と可変長符号化により圧縮し、回転ヘッドにより磁気テープに記録するデジタルVTRの開発が進められている。このようなデジタルVTRでは、NTSC方式等の現行のテレビジョン方式のビデオ信号を記録するモード（以下、SDモードとする）と、HDTV信号を記録するモード（以下HDモードとする）とが設定できる。SDモードでは、ビデオ信号が25Mbpsのレートで記録される。HDモードでは、ビデオ信号が50Mbpsのレートで記録される。このようなデジタルVTRを使って、MPEG2のトランスポート packets を記録することが検討されている。

【0003】 つまり、MPEG2では、複数のプログラムの伝送を可能とするマルチプログラム対応機能が設けられている。これは、個別の符号化ストリームをトランスポート packets と呼ばれる比較的短い単位で時分割多

重化するものである。

【0004】 トランスポート packets は、188バイトの固定長とされる。トランスポート packets のヘッダ部分には、packet データの内容識別情報があり、それによって目的とするプログラム再生に必要な packets が選択され、復号される。

【0005】 図22は、トランスポート packets の構成を示すものである。図22Aに示すように、トランスポート packets の先頭にはヘッダが設けられ、これにペイロード（情報）が続けられる。図22Bに示すように、ヘッダには、8バイトのシンクと、packet 中のエラーの有無を示すトランスポートエラーインジケータと、ペイロードユニットの開始を示すペイロードユニットスタートインジケータと、packet の重要度を示すトランスポートプライオリティと、packet の個別のスリームの属性を示す packet 識別（PID）と、ペイロードのスクランブルの有無、種別を示すトランスポートスクランブルコントロールと、アダプテーションフィールドの有無を示すアダプテーションフィールドコントロールと、packet が途中で一部棄却されたかどうかを検出するための巡回カウンタと、個別ストリームに関する付加情報やスタッフィングバイトを入れることができるアダプテーションフィールドとからなる。

【0006】 アダプテーションフィールドは、図22Cに示すように、アダプテーションフィールドの長さを示すアダプテーションフィールドレングスと、システムクロックがリセットされ新たな内容になることを示す不連続インジケータと、ランダムアクセスのエントリーポイントを示すランダムアクセスインジケータと、重要部分がこのペイロードにあることを示すプライオリティストリームエレメンタリインジケータと、オプションフィールドを含んでいる。

【0007】 オプションフィールドは、図22Dに示すように、PCRと、OPCRと、スプライスカウントダウンと、トランスポートプライベートデータレングス及びトランスポートプライベートデータと、アダプテーションフィールドエクステンションレングスと、オプションフィールドとを含む。PCRは、MPEGシステム復号において、時刻基準となる値をセット、校正するためのタイムスタンプである。このPCRからPLLによりシステムクロック（27MHz）が再現され、以降のデコード処理のタイミングの基準とするために、これらの packets の時間軸情報が保持される。

【0008】 このようなMPEG2のトランスポート packets をデジタルVTRに記録する場合、図23に示すように、時分割多重化されて送られているプログラムA、B、C、の中から、所望のプログラム（例えばプログラムA）が選択される。このとき、マルチプログラムのデータレートが例えば30Mbpsで、選択されたプログラムの実質レートが10Mbpsなら、レート変換

10

20

30

40

50

バッファで、30Mbpsから10Mbpsへのレート変換がなされる。

【0009】すなわち、図24に示すように、選択されたプログラムのトランスポート packets が入力端子101からレート変換バッファ102に供給される。レート変換バッファ102で、レートが1/3に下げられる。これにより、レートが30Mbpsから10Mbpsに下げられる。このレート変換されたトランスポート packets が出力端子103から出力され、デジタルVTRで記録される。

【0010】デジタルVTRのSDモードの記録レートは25Mbpsなので、このようにレート変換すれば、トランスポート packets をそのままデジタルVTRで記録することができる。

【0011】

【発明が解決しようとする課題】ところが、トランスポート packets をレート変換すると、入力時刻情報が変化する。すなわち、トランスポート packets のヘッダにタイムスタンプとして設けられたPCRの値が正しい時刻情報を示さなくなる。このため、デジタルVTRでトランスポート packets をレート変換して記録すると、再生時と同じ時間軸で再生できないという問題が生じる。

【0012】また、MPEG2では、画面内符号化したIピクチャと、前方向予測符号化したPピクチャと、両方向予測符号化したBピクチャとが送られている。変速再生時には、ヘッドがトラックを過るので、連続したフレームのデータが得られなくなる。連続したフレームのデータが得られないと、Pピクチャ及びBピクチャのデータはデコードできない。デコードできるのは、画面内符号化されたIピクチャのデータだけである。したがって、変速再生時には、Iピクチャのデータのみ使われる。

【0013】ところが、トランスポート packets をVTRに記録すると、変速再生時にIピクチャを含む packets が十分に拾えない。また、Iピクチャのデータがどのような位置関係で記録されるのかが不定になる。このため、変速再生時に画面の特定部分に相当するIピクチャのデータが抜けてしまい、変速再生時の画質が劣化する。

【0014】したがって、この発明の目的は、トランスポート packets をレート変換して記録した場合にも、再生時に時間軸が正しく保てるデジタルデータ記録/再生装置及び方法を提供することにある。

【0015】この発明の他の目的は、トランスポート packets をレート変換して記録した場合にも、変速再生時に画質が劣化しないデジタルデータ記録/再生装置及び方法を提供することにある。

【0016】

【課題を解決するための手段】この発明は、データ packets をテープ上に記録するデジタルデータ記録装置に

において、基準クロックに基づきデータ packets の到着時刻を発生する時刻発生手段と、データ packets にデータ packets の到着時刻を付加する手段とを備えるようにしたデジタルデータ記録装置である。

【0017】この発明は、テープ上に記録されたデータ packets を再生するデジタルデータ再生装置において、データ packets に付加された到着時刻に基づいて、時間軸を管理するようにしたことを特徴とするデジタルデータ再生装置である。

10 【0018】この発明は、データ packets をテープ上に記録するデジタルデータ記録装置において、テープ上の各トラックをノーマルプレイエリアとトリックプレイエリアとに分類する手段と、トリックプレイエリアは、最大変速再生速度においてヘッドがトレースする再生可能エリアの少なくとも1つに選定し、ノーマルプレイエリアにデータ packets を記録し、トリックプレイエリアにデータ packets より抽出した一部の変速再生用のデータを記録する手段とからなるデジタルデータ記録装置である。

20 【0019】この発明は、テープ上に記録されたデータ packets を再生するデジタルデータ再生装置において、変速再生時に、トリックプレイエリアのデータを再生する手段を備えるようにしたデジタルデータ再生装置である。

【0020】

30 【作用】トランスポート packets からプログラムを選択し、レート変換して記録する際に、各 packets の時間軸情報を保持するために、基準クロックに基づき、 packets の到着時刻情報を各 packets に付加する。再生時には、この時刻情報を基に、入力時と同じ時間軸状態を再現する。

【0021】時刻情報が打たれた packets は、シンクブロックの数と packets の数との関係が整数比となるようにしている。

【0022】デジタルVTRの記録再生において、基準クロックにドラムの回転を同期させているので、時刻情報が記録再生で保持される。

40 【0023】高速変速再生用及び低速の変速再生用のトリックプレイエリアTP1及びTP2が設けられ、夫々異なるアジマス of the トラックに配置されている。このトリックプレイエリアTP1及びTP2にIピクチャのデータを記録しておく。変速再生時には、このトリックプレイエリアTP1及びTP2のデータが用いられる。これにより、変速再生時に画質の向上が図れる。また、高速変速再生用及び低速の変速再生用のトリックプレイエリアTP1及びTP2が夫々異なるアジマス of the トラックに配置されているので、各々のトリックプレイエリアにおいて、片方のアジマス of the トラックのみを利用することで、ヘッド構成の制約を受けない。

50 【0024】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図 1 は、この発明が適用されたディジタル VTR の記録系の構成を示すものである。図 1 において、1 は NTSC 方式等の現行のテレビジョン方式のビデオ信号の入力端子である。外部からのテレビジョン信号を記録する場合は、入力端子 1 にコンポーネントビデオ信号が供給される。入力端子 1 からのコンポーネントビデオ信号は A/D コンバータ 2 に供給され、A/D コンバータ 2 でこのコンポーネントビデオ信号がディジタル信号に変換される。

【0025】3 は DCT 圧縮回路である。DCT 圧縮回路 3 は、DCT 変換と可変長符号化により、入力ビデオ信号を圧縮する。すなわち、A/D コンバータ 2 からのコンポーネントビデオ信号は、ブロック化され、シャフリングされ、DCT 変換が行われる。DCT 変換されたデータは、所定のバッファ単位でバッファされる。この所定のバッファ単位の符号が推定され、総符号量が所定値以下となるような量子化テーブルが決定され、この最適な量子化テーブルで量子化される。そして、可変長符号化され、フレーム化される。

【0026】4 は、MPEG 2 のトランスポートパケットを記録する場合と、入力端子 1 からのビデオ信号を記録する場合とで切り換えられるスイッチ回路である。スイッチ回路 4 の端子 4 A には、レート変換及びフォーマット変換部 9 を介して、MPEG 2 のトランスポートパケットが供給される。

【0027】レート変換及びフォーマット変換部 9 は、MPEG 2 のトランスポートパケットの中から必要なプログラムを取り出し、このレートを例えば 30 MBps から 10 Mbps に変換する。更に、後に説明するように、変速再生時に良好な画面が得られるように、トリックプレイエリアのデータを配置する。スイッチ回路 4 の端子 4 B には、DCT 圧縮回路 3 の出力が供給される。MPEG 2 のトランスポートパケットを記録する場合には、スイッチ回路 4 が端子 4 A 側に設定される。入力端子 1 からのビデオ信号を記録する場合には、スイッチ回路 4 が端子 4 B 側に設定される。

【0028】スイッチ回路 4 の出力がフレーム化回路 5 に供給される。フレーム化回路 5 は、記録データを所定のフレームに展開すると共に、エラー訂正符号化処理を行う。

【0029】フレーム化回路 5 の出力は、チャンネルコード 6 に供給され、変調される。チャンネルコード 6 の出力は、記録アンプ 7 を介して、回転ヘッド 8 に供給される。回転ヘッド 8 により、磁気テープに圧縮されたビデオ信号又は MPEG 2 のトランスポートパケットが記録される。

【0030】このような記録系において、MPEG 2 のトランスポートパケットを記録する場合には、スイッチ回路 4 が端子 4 A 側に切り換えられる。このため、レ

ート変換及びフォーマット変換部 9 を介して入力された MPEG 2 のトランスポートパケットは、フレーム化回路 5 でフレーム化され、チャンネルコード 6 で変調され、回転ヘッド 8 により磁気テープに記録される。

【0031】入力端子 1 からのビデオ信号を記録する場合には、スイッチ回路 4 が端子 4 B 側に切り換えられる。このため、入力端子 1 からのビデオ信号は、DCT 回路 3 により圧縮され、フレーム化回路 5 でフレーム化され、チャンネルコード 6 により変調され、回転ヘッド 8 により磁気テープに記録される。

【0032】このように、MPEG 2 のトランスポートパケットを記録する場合には、レート変換及びフォーマット変換部 9 で、例えばマルチプログラムの中の 1 つのプログラムが選択され、選択されたプログラムのデータレートが例えば 30 Mbps から 10 Mbps に変換される。ここで、時間軸情報が変化するため、このままでは再生時に記録時と同じ状態に戻すことができない。

【0033】そこで、この発明の一実施例では、トランスポートパケットのストリームがレート変換バッファに 10 入力される前に、基準クロックによる時刻情報（パケット到着時刻）が各パケットに付加される。再生時には、入力時と同じクロックで送り出し、この時刻情報のタイミングでパケットを送出すれば、入力時と同じ時間状態を保つことができる。

【0034】すなわち、図 2 A に示すように、トランスポートパケットの先頭のヘッダには、8 バイトのシンクが付加されている。MPEG 2 のトランスポートパケットを記録する場合には、このシンクの 1 バイトが取り除かれ、図 2 B に示すように、ここに 3 バイトの時刻情報が付加される。

【0035】つまり、図 3 は、トランスポートパケットをレート変換して記録する前に、3 バイトの時刻情報を付加するための構成を示すものである。図 3 において、入力端子 3 1 にレート変換前のトランスポートパケットが供給される。このトランスポートパケットがシンク検出回路 3 2 に供給される。シンク検出回路 3 2 は、トランスポートパケットの先頭のシンクを検出する。シンクの検出出力は、ラッチ 3 3 に供給される。シンク検出回路 3 2 の出力は、シンク除去回路 3 7 に供給される。シンク除去回路 3 7 は、シンクが検出されると、シンクの 1 バイトを取り除く。シンク除去回路 3 7 の出力がタイムスタンプ回路 3 8 に供給される。

【0036】基準クロック発生回路 3 4 は、例えば 27 MHz の基準クロックを発生する。この基準クロックは、PLL 3 5 に供給されると共に、カウンタ 3 6 に供給される。PLL 3 5 の出力に基づいて、ドラムが例えば 150 Hz で回転される。

【0037】カウンタ 3 6 で基準クロックがカウントされる。このカウンタ 3 6 の出力から時刻情報が得られる。この時刻情報がカウンタ 3 6 からラッチ 3 3 に供給

される。タイムスタンプ回路 38 の出力が出力端子 39 から出力される。

【0038】シンク検出回路 32 でトランスポートパケットのシンクが検出されると、このときの時刻情報がラッチ 33 にラッチされる。そして、シンク検出回路 37 で 1 バイトのシンクが除去され、タイムスタンプ回路 38 で 3 バイトの時刻情報がパケットに付加される。

【0039】また、上述のように、基準クロック発生回路 34 の出力は PLL 35 に供給され、PLL 35 の出力によりドラムが回転され、記録再生時においてドラムの回転が基準クロックに同期される。これにより、時刻情報が記録再生で保持される。

【0040】トランスポートパケットは 188 バイトであり、1 バイトのシンクが除かれ、3 バイトの時刻情報が付加されると、190 バイトになる。この 190 バイトのパケットは、図 4 に示すように、2 パケットが 5 シンクブロックにパッキングされる。

【0041】すなわち、デジタル VTR では、1 シンクブロックが 90 バイトとされており、先頭の 5 バイトにはシンク及び ID が付加される。そして、1 バイトのパリティを付加すると、1 シンクブロックのペイロードは 77 バイトとなる。更に、各シンクブロックには、この 1 バイトのエキストラヘッダ (図 5 参照) が付加される。エキストラヘッダには、5 シンクブロックでのシリアルナンバー等が記録される。残りの 76 バイトがパケット記録用に割り当てられる。したがって、5 シンクブロックでは、

$$5 \times 76 = 380 \text{ バイト}$$

となり、時刻情報が付加された 190 バイトのパケットが 2 パケット分

$$2 \times 190 = 380 \text{ バイト}$$

に丁度パッキングできる。

【0042】また、この発明の一実施例では、変速再生時の画質の向上を図るために、変速再生時の再生可能エリアがトリックプレイエリアとされ、このトリックプレイエリアに I ピクチャを含むパケットが記録される。MPEG 2 では、画面内符号化して I ピクチャと、前方向予測符号化した P ピクチャと、両方向予測符号化した B ピクチャとが送られており、変速再生時には、I ピクチャのデータしか利用できない。トリックプレイエリアが設けられていると、変速再生時にはこのトリックプレイエリアから得られる I ピクチャのデータを用いることができ、変速再生時の画質の向上が図れる。

【0043】つまり、デジタル VTR の記録レートは、SD モードで 25 Mbps である。これに対して、トランスポートパケットを 10 Mbps のレートで記録すると、記録レートに余裕が生じる。このため、変速再生時の再生可能エリアをトリックプレイエリアとし、このトリックプレイエリアに I ピクチャを含むパケットを重複記録することができる。

【0044】例えば、図 6 は、変速再生時のヘッドの軌跡を表したものである。図 6 に示すように、ヘッドがトレースすると、TP で示す部分が再生可能エリアとなる。この再生可能エリア TP が変速再生用のパケットを記録するトリックプレイエリアとして利用される。ヘリカルスキャンとアジマス記録の VTR では、TP から再生されるデータは、図 7 に示すように、バースト状になる。この再生可能エリアのトラック状の位置を ATF 等により固定し、この再生可能エリアに I ピクチャを含むパケットを記録すれば、I ピクチャのデータは必ず再生される。

【0045】この発明の一実施例では、2 種類のトリックプレイエリア TP1 及び TP2 が設けられる。一方のトリックプレイエリア TP1 は高速の変速再生用であり、他方のトリックプレイエリア TP2 は低速の変速再生用である。各トリックプレイエリア TP1 及び TP2 は、互いにアジマス角の異なるトラックに設けられる。

【0046】すなわち、デジタル VTR では、図 8 に示すように、1 トラックがアフレコ等に用いる ITI セクタと、オーディオセクタと、ビデオセクタと、サーチ等に用いるサブコードセクタに分割される。そして、アジマス角の異なるヘッドでトレースされる。ヘッド構成は、180 度対向の 2 ヘッド、ダブルアジマスヘッドが利用可能である。そして、ATF トラッキングを行うために、パイロット信号が重畳される。

【0047】図 9 に示すように、高速の変速再生用のトリックプレイエリア TP1 は、例えば、パイロット信号 f0 のトラックで、18 倍速で再生可能となるエリアに設けられる。そして、トリックプレイエリア TP1 には、データが 18 回繰り返して記録される。低速用のトリックプレイエリア TP2 は、パイロット信号 f0 以外のトラックで、4 倍速で再生可能となるエリアに設けられる。トリックプレイエリア TP2 には、同一のデータが 2 回繰り返してデータが記録される。

【0048】このように、各々のトリックプレイエリア TP1 及び TP2 は、夫々異なるアジマスのトラックに配置される。このように、各々のトリックプレイエリア TP1 及び TP2 において、片方のアジマスのトラックのみを利用することで、180 度対向の 2 ヘッドやダブルアジマスヘッド等、ヘッド構成の制約を受けずに、変速再生が可能になる。

【0049】また、デジタル VTR では、位相ロックさせるときに、f0 のパイロット信号のトラックでトラッキング情報を得るため、f0 以外のパイロット信号のトラックでは、ヘッドの取り付け誤差などの影響を受けやすい。そこで、低速の変速再生用のトリックプレイエリア TP2 が f0 以外のパイロット信号のトラックに配置され、高速の変速再生用のトリックプレイエリア TP1 が f0 のパイロット信号のトラックに配置される。18 倍速での 5 シンクブロックと 4 倍速での 25 シンクブ

ロックとでは、4倍速の方がトラッキングずれに対する余裕が大きいためである。

【0050】高速用の変速再生用のトリックプレイエリアTP1には、同一のデータが18回繰り返して記録され、低速用の変速再生用のトリックプレイエリアTP2には、同一のデータが2回繰り返して記録される。したがって、実現できるテープ速度は、図10に示すようになる。

【0051】つまり、変速再生時のテープ速度を、1.5倍速、2.5倍速、3.5倍速のように、 $(N+0.5)$ 倍速に設定すると、図11及び図12に示すように、2スキャンで同一アジマスAのトラックの全ての部分が再生可能である。すなわち、図11では、最大変速再生速度を7倍速とし、3.5倍速で変速再生を行った場合を示すものである。この場合、図12Aに示すように、第1番目のスキャンでアジマスAのトラックの両端の部分が再生され、第2番目のスキャンでアジマスAのトラックの真中の部分が再生され、この2回のスキャンで1トラック分の全ての部分が再生される。アジマスAの角トラックに同一のトリックプレイデータを繰り返して記録しておけば、この2回のスキャンでアジマスAのトラックの1トラック上のすべてのデータが再生できる。したがって、同一アジマスのトラックに繰り返してトリックプレイデータを記録しておく、1.5倍速、2.5倍速、3.5倍速のように、 $(N+0.5)$ 倍速でトリックプレイデータの再生が保証されることになり、これらの速度での変速再生が可能である。

【0052】なお、上述の例では、18トラックに渡って同一のデータを記録したが、36トラックのトリックプレイエリアに渡って同一のデータを記録するモードをオプションとして設けることも考えらる。36トラックに渡って記録すると、17.5倍速まで、スピードロックで変速再生可能になる。どちらのモードで記録したかは、例えば、ビデオAUXデータに記録しておくことができる。

【0053】図13は、各トラックでのシンクブロックの配置を示すものである。1トラックのシンクブロック数は135シンクブロックである。図13Aに示すように、トラックT0には、ノーマルプレイエリアと、トリックプレイエリアTP1が設けられ、トラックT1には、ノーマルプレイエリアと、トリックプレイエリアTP2が設けられ、トラックT2には、ノーマルプレイエリアと、トリックプレイエリアTP1が設けられ、トラックT3には、ノーマルプレイエリアのみで、トリックプレイエリアTP1及びTP2は設けられていない。

【0054】トリックプレイエリアTP1又はTP2が設けられる場合、このトリックプレイエリアTP1又はTP2は、25シンクブロック分とされる。そして、ノーマルプレイエリアが101シンクブロック分とされ、更に、9シンクブロック分のエラー訂正コードECC3

を用意することができる。前述の図4に示したように、2パケット分が5シンクブロックにパッキングされるので、このようにトリックプレイエリアTP1及びTP2のシンクブロック数を5シンクブロックの整数倍とすると、マッチングが良好となる。

【0055】トラックT0及びT2には、図13Bに示すように、1トラックに5つのトリックプレイエリアTP1が生じ、ここには、シンクブロックナンバ40~44、62~66、84~88、106~110、128~132のデータが記録される。トラックT1には、トリックプレイエリアTP2が生じ、ここには、シンクブロックナンバ38~32のデータが記録される。

【0056】高速の変速再生用のトリックプレイエリアTP1は、ヘッドがサブコードセクタ及びITIセクタの両方が読める位置に配置される。これにより、18倍速での変速再生中にもサブコードをアクセスすることができる。また、18倍速になると、バーストの長さも短く、ATF制御をするのに十分なトラッキングエラー信号が得られない。そこで、ITIセクタをスキャンするようにして、ここでATF制御をすることができる。ITIセクタでは、他のデータエリアより、S/N比の高いパイロット信号を得ることができる。4倍速では、バーストが長いので、データエリアでもATF制御が行える。したがって、低速用のトリックプレイエリアTP2は、サブコードだけ読める位置に配置している。

【0057】図14は、上述のように、トリックプレイエリアTP1及びTP2に、変速再生用のデータを記録するための構成の一例を示すものである。図14において、入力端子51に、MPEG2のトランスポートパケットが供給される。このトランスポートパケットは、レート変換用のバッファ52に供給されると共に、TS/PESデコーダ53に供給される。レート変換用のバッファ52は、入力されたトランスポートパケットのデータレートが例えば30Mbpsなら、このデータレートを例えば10Mbpsに変換する。マルチプログラムで、複数のプログラムが時分割多重化されて送られている場合、これらのプログラムの中から所望のプログラムが選択され、選択されたプログラムがレート変換用のバッファ52に供給される。

【0058】TS/PESデコーダ53は、ペイロード部分を抜き出し、この中からビデオストリームだけを取り出す。TS/PESデコーダ53の出力がスタートコード解析回路54に供給される。スタートコード解析回路54で、トランスポートパケットのヘッダの情報から、変速再生時に必要なパケットかどうか判断される。すなわち、トランスポートパケットのヘッダにあるトランスポートプライオリティ等の情報から、Iピクチャを含む重要度の高いパケットかどうか判断され、Iピクチャを含むパケットは、変速再生時に必要なパケットとされる。スタートコード解析回路54の出力がTP

処理回路55に供給される。TP処理回路55の出力がTS/PESパケット化回路56A及び56Bに供給される。TS/PESパケット化回路56Aは、高速の変速再生用のトリックプレイエリアTP1に記録すべきパケットを形成するものである。TS/PESパケット化回路56Bは、低速の変速再生用のトリックプレイエリアTP2に記録すべきパケットを形成するものである。TS/PESパケット化回路56A及び56Bの出力がTP1バッファ57A及びTP2バッファ57Bに供給される。

【0059】レート変換用のバッファ52、TP1バッファ57A及びTP2バッファ57Bの出力は、シンクブロックフォーマット59A、59B、59Cを夫々介してマルチプレクサ58に供給される。マルチプレクサ58で、レート変換用のバッファ52、TP1バッファ57A及びTP2バッファ57Bの出力が多重化される。レート変換用のバッファ52の出力は、前述したノーマルプレイエリアに記録され、TP1バッファ57Aの出力はトリックプレイエリアTP1に記録され、TP2バッファ57Bの出力はトリックプレイエリアTP2に記録されることになる。

【0060】図15は、上述のように、トリックプレイエリアTP1及びTP2に、変速再生用のデータを記録するための構成の他の例を示すものである。図14に示した例では、高速の変速再生用のトリックプレイエリアTP1と低速の変速再生用のトリックプレイエリアTP2とをTS/PESパケット化回路56A及び56B、TP1バッファ57A及びTP2バッファ57Bで、夫々、別々に処理しているが、この例では、高速の変速再生用のトリックプレイエリアTP1と低速の変速再生用のトリックプレイエリアTP2とを、1系統の回路、TS/PESパケット化回路56、TP1/TP2バッファ57で処理している。このような構成とするときは、低速再生用のトリックプレイエリアTP2の処理の方が速くIピクチャのデータを記録し終わるので、その後、高速の変速再生用のトリックプレイエリアTP1の記録が終了するまで、ダミーデータが記録される。また、この処理が容易になるように、1トラック内のトリックプレイエリアTP1及びTP2のシンクブロック数が同じ(25シンクブロック)とされている。

【0061】ところで、上述の例では、変速再生用のデータを、高域係数削除せずに、トリックプレイエリアに記録している。このように、高域係数を除去せずに、抽出したIピクチャをそのまま変速再生データとして用いると、データ量が大きいために、再生画の更新率は低下すると共に、データを蓄えるために大容量のメモリが必要になる。つまり、図16は、係数の数とデータ量との関係を表したものである。図16において、横軸は係数の数を示し、縦軸はデータ量を示している。図16より、例えば、係数が6個になるように削除した場合に

は、500kビットあれば十分であったメモリサイズが、係数削除せずに64個とした場合には、1Mビット必要になる。

【0062】再生時は、再生データの中から、変速再生エリアのデータのみを取り出し、デコードに送出する。しかし、リバース方向の変速再生の場合は、Iピクチャのデータが逆方向に再生されるために、このままデコードに送ったのでは、正常にデコードできない。そこで、1ピクチャ分のデータをバッファメモリに蓄え、ピクチャの先頭の packets から読み出すことによって、フォワード方向の場合と同じ形で送出する。ここでのバッファメモリも、1ピクチャ(変速再生データ)のサイズが必要になる。

【0063】そこで、高域係数を削除して記録することが考えられる。すなわち、図17に示すように、入力端子61からの packets は、バッファ62に供給されると共に、TS/PESデコード63に供給される。TS/PESデコード63の出力がスタートコード解析回路64に供給される。スタートコード解析回路64からは、Iピクチャが抽出される。スタートコード解析回路64の出力が係数削減回路65に供給される。係数削減回路65は、Iピクチャの高域係数を削除する。こうして作成された変速再生用データは、バッファメモリ66に蓄えられる。バッファメモリ66の中のデータは、TS/PESパケット化回路67に送られ、再びパケット化される。

【0064】バッファ62に蓄えられている通常再生用のデータ及びTS/PESパケット化回路67からの変速再生用のデータは、シンクブロックフォーマット68A及び68Bに夫々送られてヘッダが付けられ、マルチプレクサ69に送られる。

【0065】変速再生データ作成のためにIピクチャから各ブロックの高域係数を削除する係数削減回路65では、VLD(可変長復号)処理が必要となる。ところが、MPEG2では、スライスレイヤー以下のレイヤーは、バイトアライメントもとれていないため、この可変長復号ブロックはかなり大きくなる。このため、図16に示すように、高域係数を削減して記録する場合、可変長復号の処理回路65を設けることにより回路規模の増大が問題となる。

【0066】そこで、Iピクチャを全て変速再生データとするが、1ピクチャ分全てを記録するのではなく、一部分(例えば、画面の上3分の1)を記録し、次に記録するときには、画面上で連続する次の3分の1を記録するというように、1画面を複数介に分けて記録していくことが考えられる。これにより、必要なメモリサイズを削減することができる。

【0067】例として、画面の3分の1ずつ記録する場合を考える。図18は、この様子を表したものである。図18において、最初のGOPのIピクチャからは、画

面の上3分の1に相当する部分のデータが取り出され、これがメモリに蓄えられる。そして、この画面の上3分の1のデータから変速再生用のデータが形成され、これがトリックプレイエリアに記録される。次に、画面の中程の3分の1に相当する部分のデータが取り出され、これがメモリに蓄えられ、この画面の上3分の1のデータから変速再生用のデータが形成され、これがトリックプレイエリアに記録される。そして、画面の下3分の1に相当する部分のデータが取り出され、これがメモリに蓄えられ、この画面の上3分の1のデータから変速再生用のデータが形成され、これがトリックプレイエリアに記録される。以下、同様に、画面の上3分の1、中程3分の1、下3分の1のデータが順にメモリに蓄えられ、トリックプレイエリアに記録される。このようにすると、必要なメモリは、画面の3分の1に相当する容量で良くなる。

【0068】なお、画面上のエリアは、スライスヘッダ内のスライス・パーティカル・ポジションをカウントすることでわかる。ここで、最後のスライス番号を記憶しておき、次のスライスから3分の1相当分とってくる。以降、これを繰り返すことで、画面の3分の1ずつ変速再生データとして記録することが可能になる。

【0069】また、ここでは、画面を3つのエリアに分割したが、画面をいくつかのエリアに分割するかは、バッファメモリの容量等を考慮して、適宜変更できる。また、画面を分割したときに、割り切れない部分については、スタッフィングバイトを入れてマッチングをとっておく。この場合、ヘッダーにダミーデータであることを示すようにしても良いし、ヘッダーは有効データとしておき、ダミーデータとするようにしても良い。

【0070】図19は、このように、画面を3分の1に分割してメモリに蓄えて、変速再生用データをトリックプレイエリアに記録するようにした場合の構成を示すものである。

【0071】図19において、入力端子71からのパケットは、バッファ72に供給されると共に、TS/PESデコーダ73に供給される。TS/PESデコーダ73の出力がスタートコード解析回路74に供給される。スタートコード解析回路74からは、1ピクチャが抽出される。スタートコード解析回路74の出力が画面分割部75に供給される。

【0072】画面分割部75は、図20に示すように、スライスヘッダ内のスライス・パーティカル・ポジションをカウントして垂直方向スライス数を計算し（ブロック81）、所定のスライス番号まで抽出する（ブロック82）ものである。最後のスライス番号を記憶しておき（ブロック83）、次のエリアではこの次のスライス番号から抽出を行う。

【0073】画面分割部75で抽出されたエリアのデータは、バッファメモリ76に蓄えられる。バッファメモ

リの中のデータは、TS/PESパケット化回路77に送られ、再びパケット化される。バッファ72に蓄えられている通常再生用のデータ及びTS/PESパケット化回路77からの変速再生用のデータは、シンクブロックフォーマッタ78A及び78Bに夫々送られてヘッダが付けられ、マルチプレクサ79に送られる。

【0074】なお、このように画面の3分の1ずつメモリに記憶していく方法と、高域係数を削減していく方法とを組み合わせれば、更にメモリ容量の削減を図ることが可能になることは、勿論である。

【0075】図21は、再生系の構成を示すものである。図21において、磁気テープの記録信号は、回転ヘッド60により再生され、再生アンプ61を介して、チャンネルコード62に供給される。チャンネルコード62は、記録系のチャンネルコード6に対応して、再生信号を復調するものである。

【0076】チャンネルコード62の出力がTBC (Time Base Corrector) 63に供給される。TBC 63は、再生信号の時間軸変動成分を除去するためのものである。TBC 63には、再生信号に基づくクロックと、基準信号に基づくクロックが与えられる。

【0077】TBC 63の出力は、デフレーション回路64に供給される。デフレーション回路64は、記録系のフレーム化回路5に対応しており、エラー訂正処理等を行う。

【0078】65はスイッチ回路である。スイッチ回路65は、MPEG2のトランスポートパケットを再生する場合と、コンポーネントビデオ信号を再生する場合とで切り換えられる。デフレーション回路64の出力は、スイッチ回路65に供給される。再生信号がMPEG2のトランスポートパケットの場合には、スイッチ回路65が端子65A側に切り換えられる。再生信号がコンポーネント信号の場合には、スイッチ回路65は端子65B側に切り換えられる。

【0079】66はDCT伸長回路である。DCT回路66は、記録系のDCT圧縮回路3に対応している。すなわち、DCT回路66は、可変長符号を復号し、逆DCT変換を行うことにより、圧縮されたビデオ信号を元に戻すものである。DCT回路66には、スイッチ回路65の端子65Bの出力が供給される。DCT伸長回路66の出力が出力端子67から取り出される。

【0080】68はパケット処理回路である。パケット処理回路68には、スイッチ回路65の出力が供給される。パケット処理回路68は、レート変換用のバッファを含み、例えば10Mbpsのレートで再生されたトランスポートパケットを元のレートに変換する。これと共に、パケットの先頭に付けられている3バイトの時刻軸情報を検出し、この時刻情報を基に時間軸を設定する。なお、再生時には、記録時と同様の基準クロックにドラムの回転を同期させている。このため、記録時の時間軸

状態が完全に再現できる。

【0081】また、変速再生時には、再生されたパケットが1ピクチャを含むものであるかどうかを判断し、1ピクチャを含むパケットのみを送出する。パケット処理回路68の出力が出力端子70から出力される。

【0082】71はコントローラである。コントローラ71は、通常再生と変速再生とを切り換え制御を行っている。コントローラ71には、入力部72からモード設定信号が供給される。このモード設定信号に応じて、サーボ回路73及びパケット処理回路69が設定される。トランスポートパケットのデータに基づいて変速再生をする際には、ATFトラッキング制御を利用して、サーボ回路73により位相制御及び速度制御がなされる。これにより、トリックプレイエリアTP1及びTP2が再生される。

【0083】なお、上述の例では、例えば30Mbpsのマルチプログラムの中から1つのプログラムを選択して記録しているが、マルチプログラムの総レートが25Mbpsであれば、このマルチプログラムを全て直接デジタルVTRに記録することができる。この時の変速再生処理は、以下ようになる。

【0084】プログラムAを選んで、そこから1ピクチャのデータを抽出して、トリックプレイエリアに記録していく。記録終了したら、プログラムBを選んで、そこからフレームデータを記録していく。次に、プログラムCを選んで記録していく。以上のようにして、プログラムA-プログラムB-プログラムC...プログラムA-プログラムB-プログラムCというように処理していく。

【0085】再生時には、例えばプログラムAの変速再生画を見る場合には、プログラムAのデータのみを再生し、他のプログラムのデータを拾っている間は、ダミーデータを送る。

【0086】また、この発明は、スクランブルされたビットストリームを変速再生する場合にも利用できる。つまり、エンコード時にトランスポートパケットのヘッダ部に1ビット用意し、1ピクチャを含んでいるかどうかを示すようにする。記録時には、このヘッダを見て、1ピクチャを含んだパケットをそのまま記録していく。この場合、ヘッダ部以外のデータはスクランブルされているので、高域係数を取り除くようなことはできない。再生時には、そのままトリックプレイエリアのデータを送り返せば、デコーダでデスクランブルされて、変速再生画を見ることができる。

【0087】

【発明の効果】この発明によれば、トランスポートパケットからプログラムを選択してレート変換して記録する際に、各パケットの時間軸情報を保持するために、基準クロックに基づくパケットの到着時刻情報が各パケットに付加される。これにより、再生時に、入力時と同じ時間軸状態が再現される。なお、デジタルVTRの記録

再生において、基準クロックにドラムの回転を同期させているので、時刻情報が記録再生で保持される。

【0088】また、この発明によれば、2種類の高速変速再生用及び低速の変速再生用のトリックプレイエリアTP1及びTP2が設けられ、夫々異なるアジマストラックに配置され、このトリックプレイエリアTP1及びTP2に1ピクチャのデータが記録される。変速再生時には、このトリックプレイエリアTP1及びTP2のデータが用いることにより、変速再生時に画質の向上が図れる。また、高速変速再生用及び低速の変速再生用のトリックプレイエリアTP1及びTP2が夫々異なるアジマスのトラックに配置されているので、各々のトリックプレイエリアにおいて、片方のアジマスのトラックのみを利用することで、ヘッド構成の制約を受けない。更に、1ピクチャのデータを複数に分割してバッファに記憶することで、トリックプレイエリアに記録するデータを記録する際に、バッファの容量を削減することができる。

【図面の簡単な説明】

【図1】この発明が適用されたデジタルVTRの記録系の構成を示すブロック図である。

【図2】時刻情報の説明に用いる略線図である。

【図3】時刻情報を付加するための回路の一例のブロック図である。

【図4】時刻情報を付加したパケットのデータ配置を示す略線図である。

【図5】エキストラヘッダの説明に用いる略線図である。

【図6】トリックプレイエリアの説明に用いる略線図である。

【図7】トリックプレイエリアの説明に用いる波形図である。

【図8】この発明が適用されたデジタルVTRのトラック構成を示す略線図である。

【図9】トリックプレイエリアの説明に用いる略線図である。

【図10】変速再生の説明に用いる略線図である。

【図11】変速再生の説明に用いる略線図である。

【図12】変速再生の説明に用いる略線図である。

【図13】変速再生の説明に用いる略線図である。

【図14】トリックプレイエリアを設定するための回路の一例のブロック図である。

【図15】トリックプレイエリアを設定するための回路の他の例のブロック図である。

【図16】係数とビット量との関係を示すグラフである。

【図17】トリックプレイエリアを設定するための回路の更に他の例のブロック図である。

【図18】画面分割の説明に用いる略線図である。

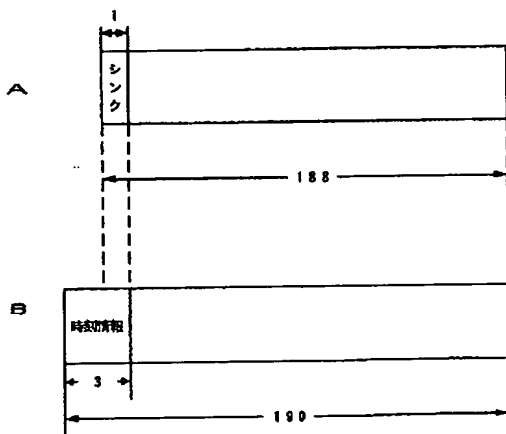
【図19】トリックプレイエリアを設定するための回路

*

56A、56B TS/PESパケット化回路

Figure 1 is a block diagram of a video recording system. The system includes an input terminal (1), an A/D converter (2), a DCT compression block (3), a frame conversion block (5), a channel coding block (6), a modulator (7), and an antenna (8). A feedback loop (4) connects the output of the channel coding block back to the input of the A/D converter. A rate conversion and format conversion block (9) is connected to the input of the A/D converter and the output of the channel coding block.

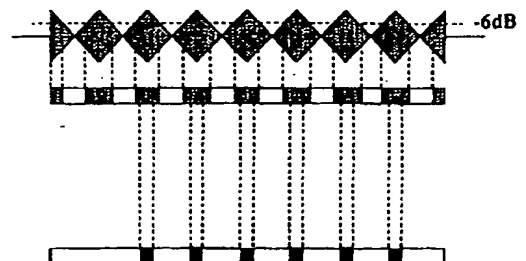
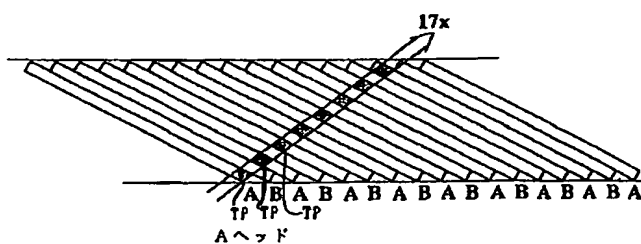
【図 4】



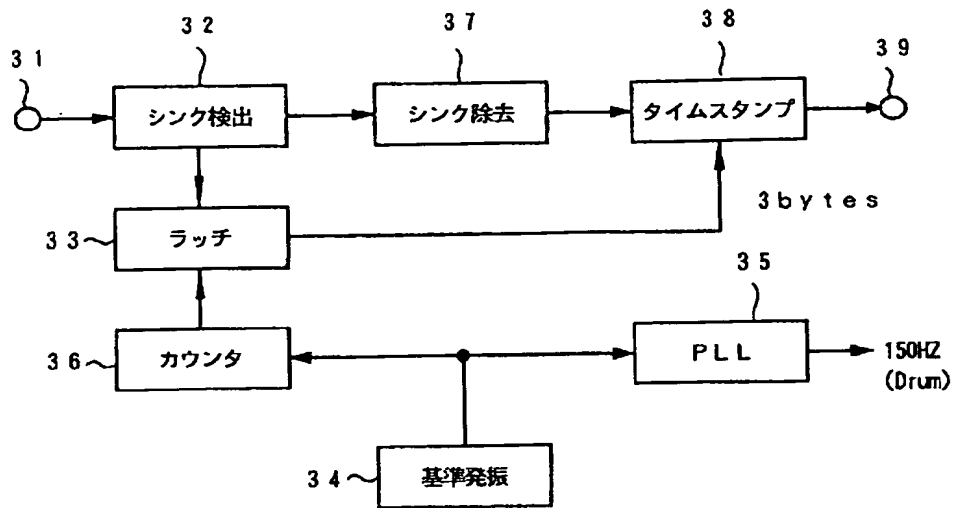
The diagram illustrates the 90-byte frame structure. It is divided into five subframes (SB0 to SB4). SB0 contains SyncID (5 bytes) and Parity(C1) (8 bytes). SB1 to SB4 contain the payload (77 bytes) and an extra header (1 byte). The total frame size is 90 bytes.

Subframe	Field	Length (bytes)
SB0	SyncID	5
SB0	Parity(C1)	8
SB1	Payload	77
SB1	Extra header	1
SB2	Payload	77
SB2	Extra header	1
SB3	Payload	77
SB3	Extra header	1
SB4	Payload	77
SB4	Extra header	1
Total	Frame Size	90

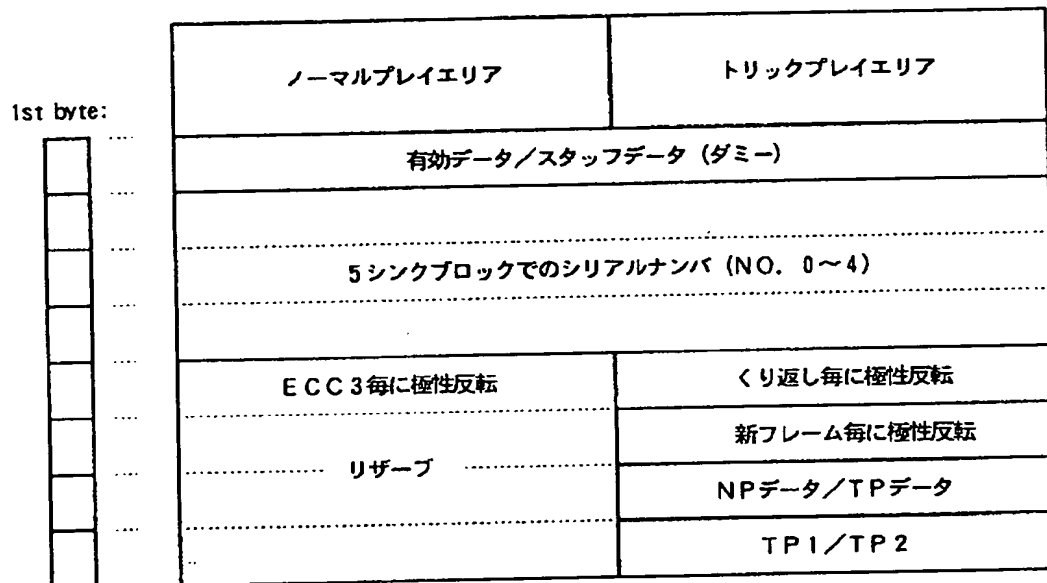
【図 7】



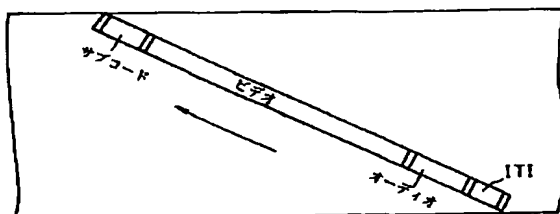
【図 3】



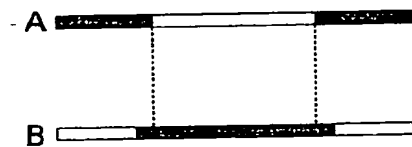
【図 5】



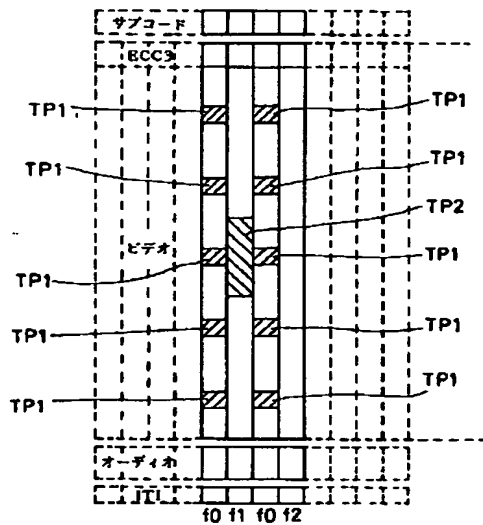
【図 8】



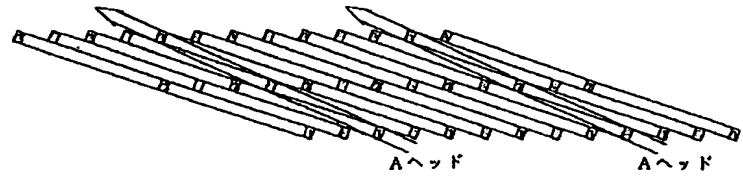
【図 12】



【図9】



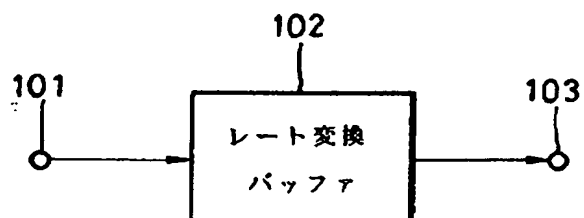
【図11】



【図10】

		TP 1 (18 x)	TP 2 (4 x)
2*1ヘッド/9000rpm	速度ロック	±1.5x, 2.5x, 3.5x, ..., 8.5x	NA
	位相ロック	+ 18x / -16x	+ 4x / -2x
1*2ヘッド/9000rpm	速度ロック	±1.5x, 2.5x, 3.5x, ..., 8.5x	NA
	位相ロック	+ 18x / -16x	+ 4x / -2x
2*2ヘッド/4500rpm	速度ロック	±1.5x, 2.5x, 3.5x, ..., 8.5x	NA
	位相ロック	NA	+ 4x / -2x

【図24】



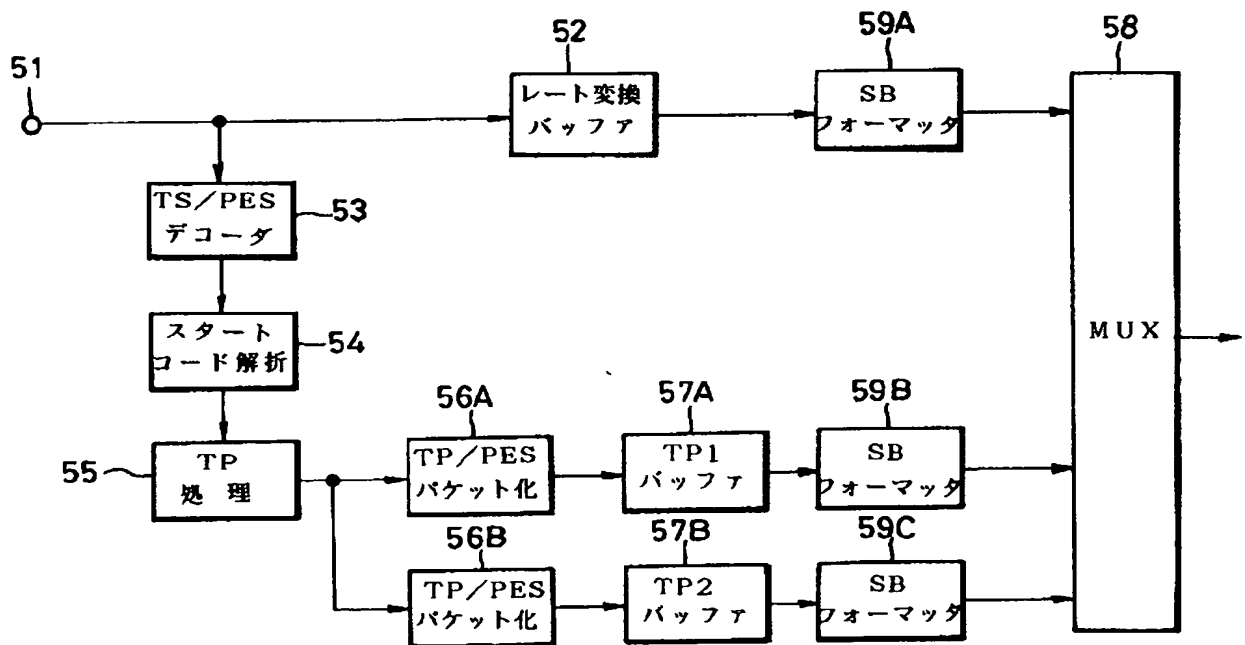
【図13】

		T0	T1	T2	T3
A	ECC3 (reserved)	9SB	9SB	9SB	9SB
	ノーマルプレイエリア	101SB	101SB	101SB	126SB
	トリックプレイエリア	TP1	25SB	25SB	25SB
	TP2	25SB	25SB	25SB	25SB

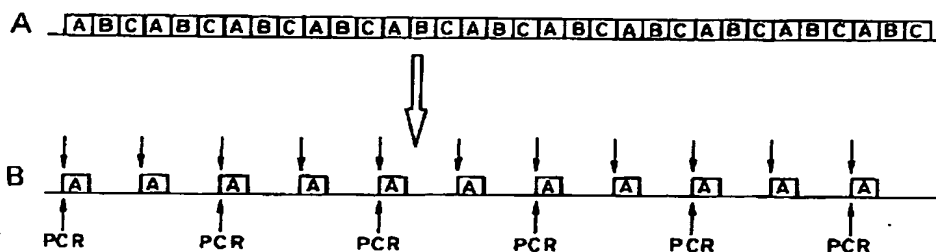
B

	SBNo. for TP					ECC3	Track	
B	TP1 (18x)	No. 40-44	No. 62-66	No. 84-88	No. 106-110	No. 128-132	No. 147-155	T0
	TP2 (5x)	No. 38-52					No. 147-155	T1
	TP1 (18x)	No. 40-44	No. 62-66	No. 84-88	No. 106-110	No. 128-132	No. 147-155	T2
	TP2 (5x)	————					No. 147-155	T3

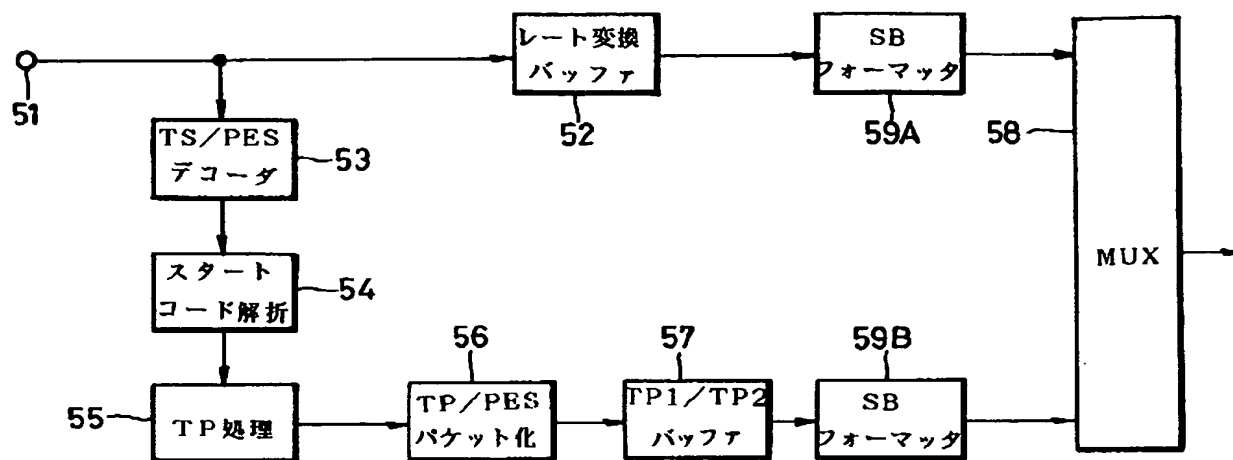
【図14】



【図23】

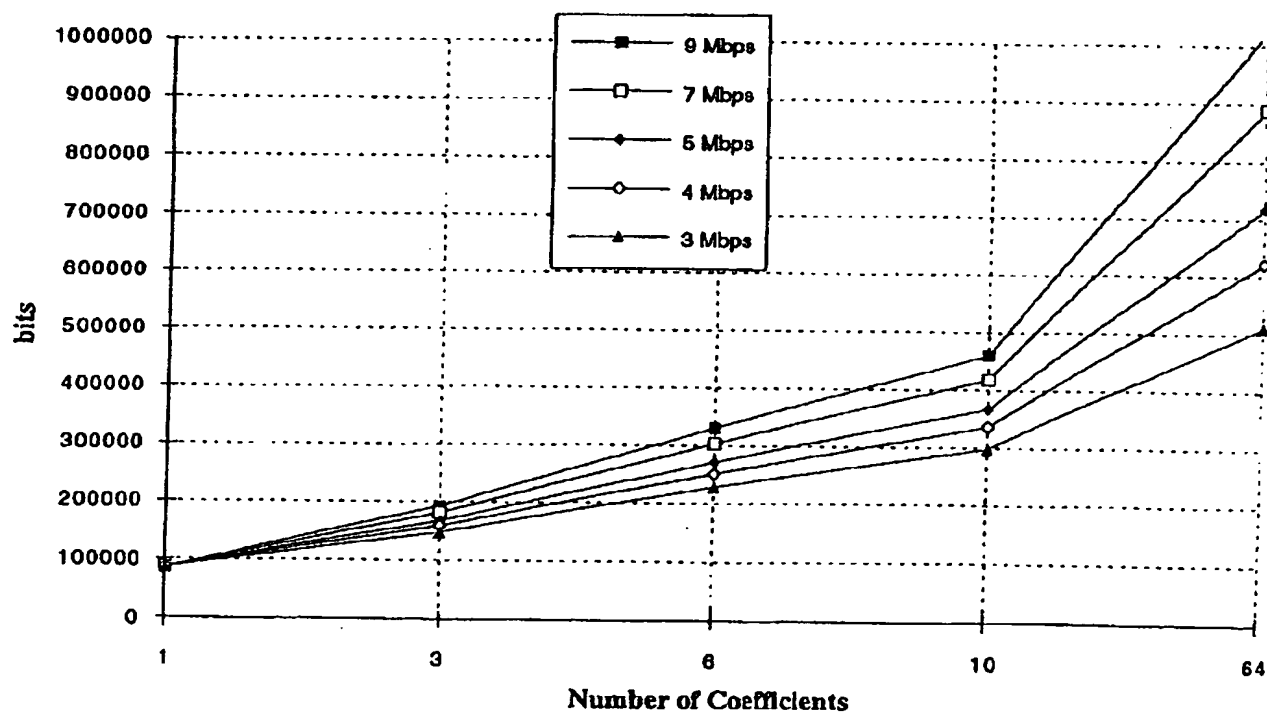


【図15】

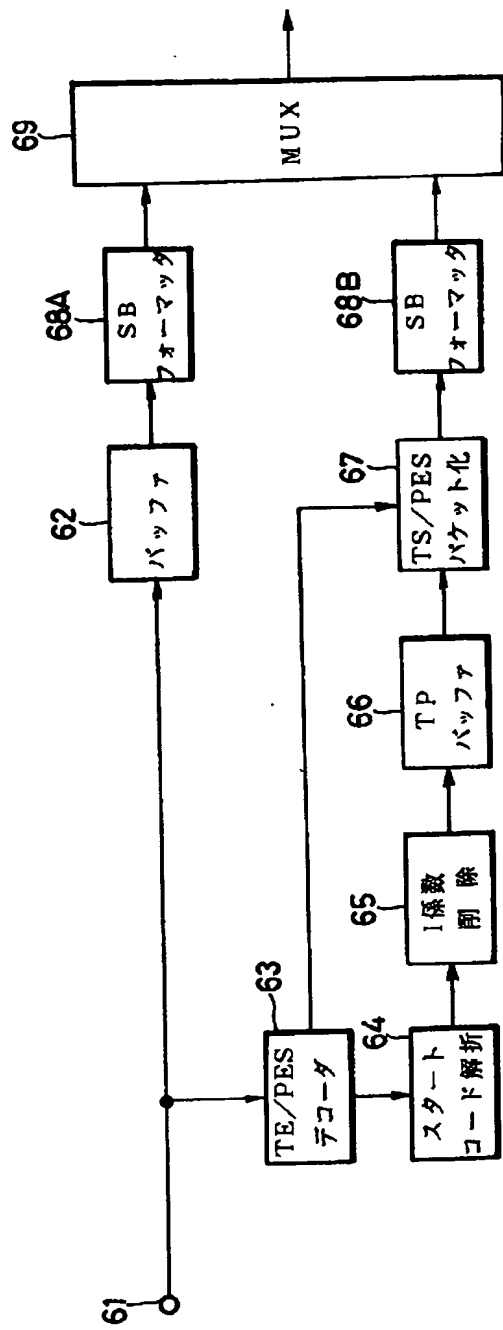


【図16】

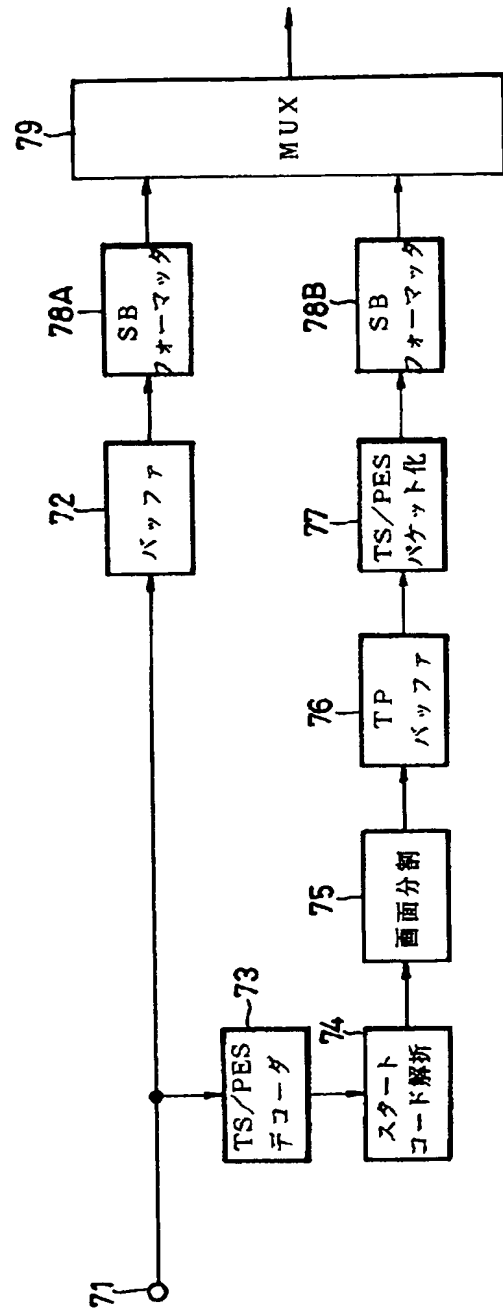
KIDS (N=15, M=3)



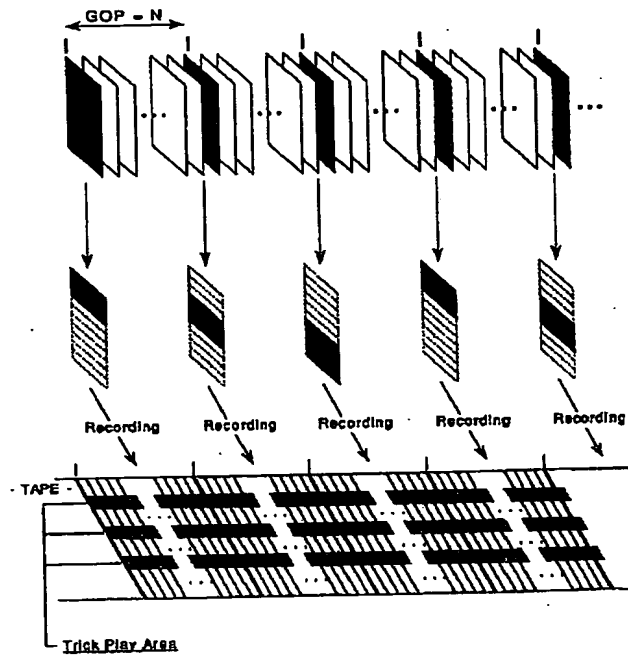
【図 17】



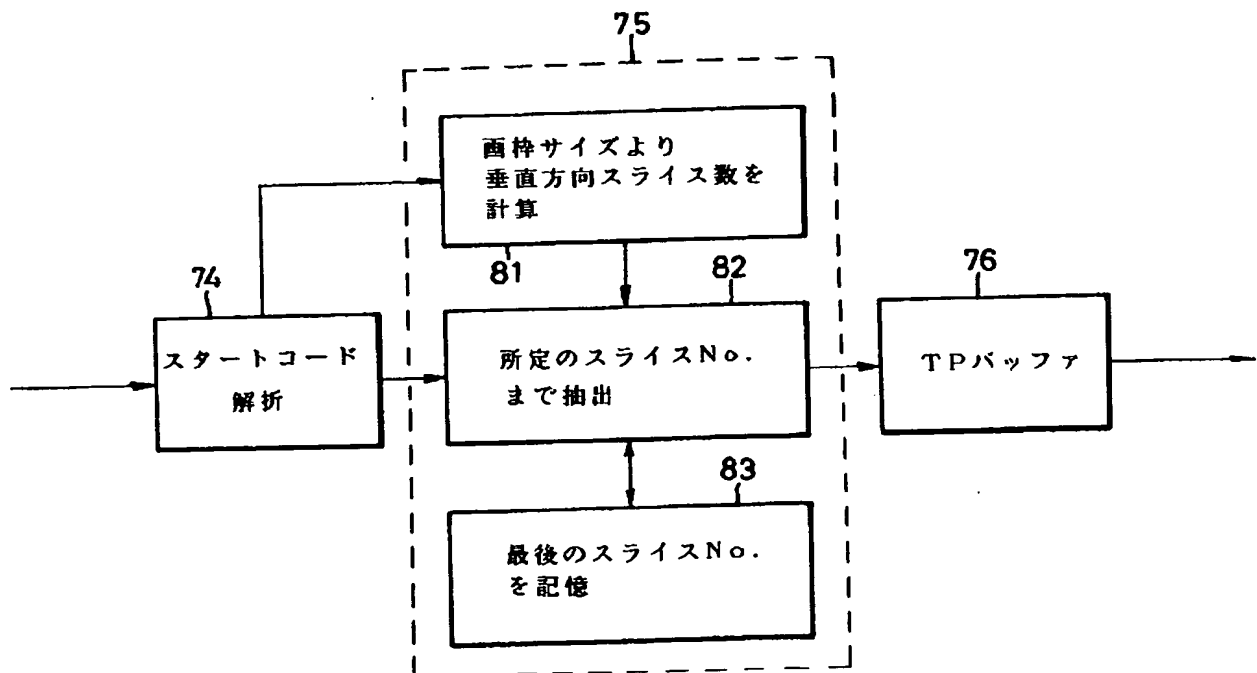
【図 19】



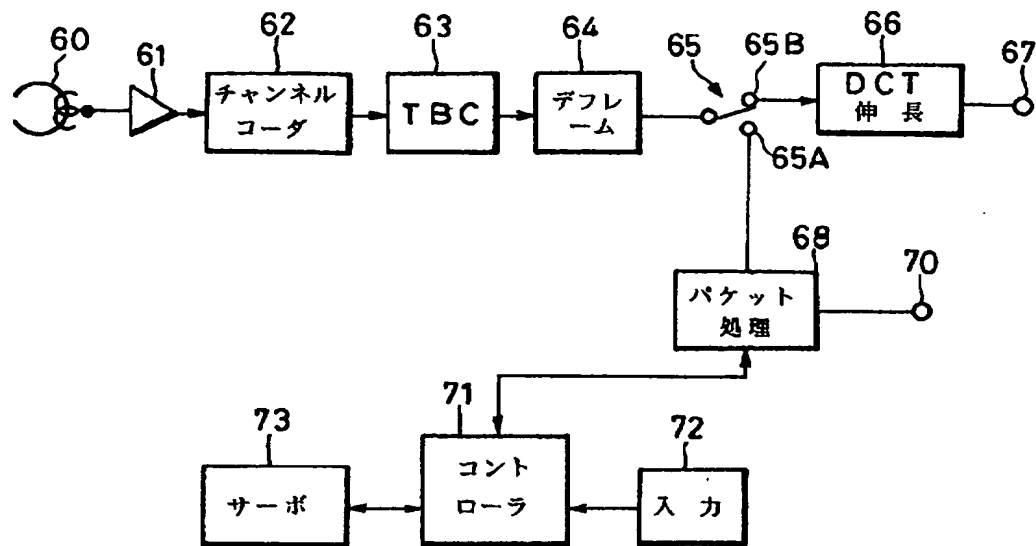
【図18】



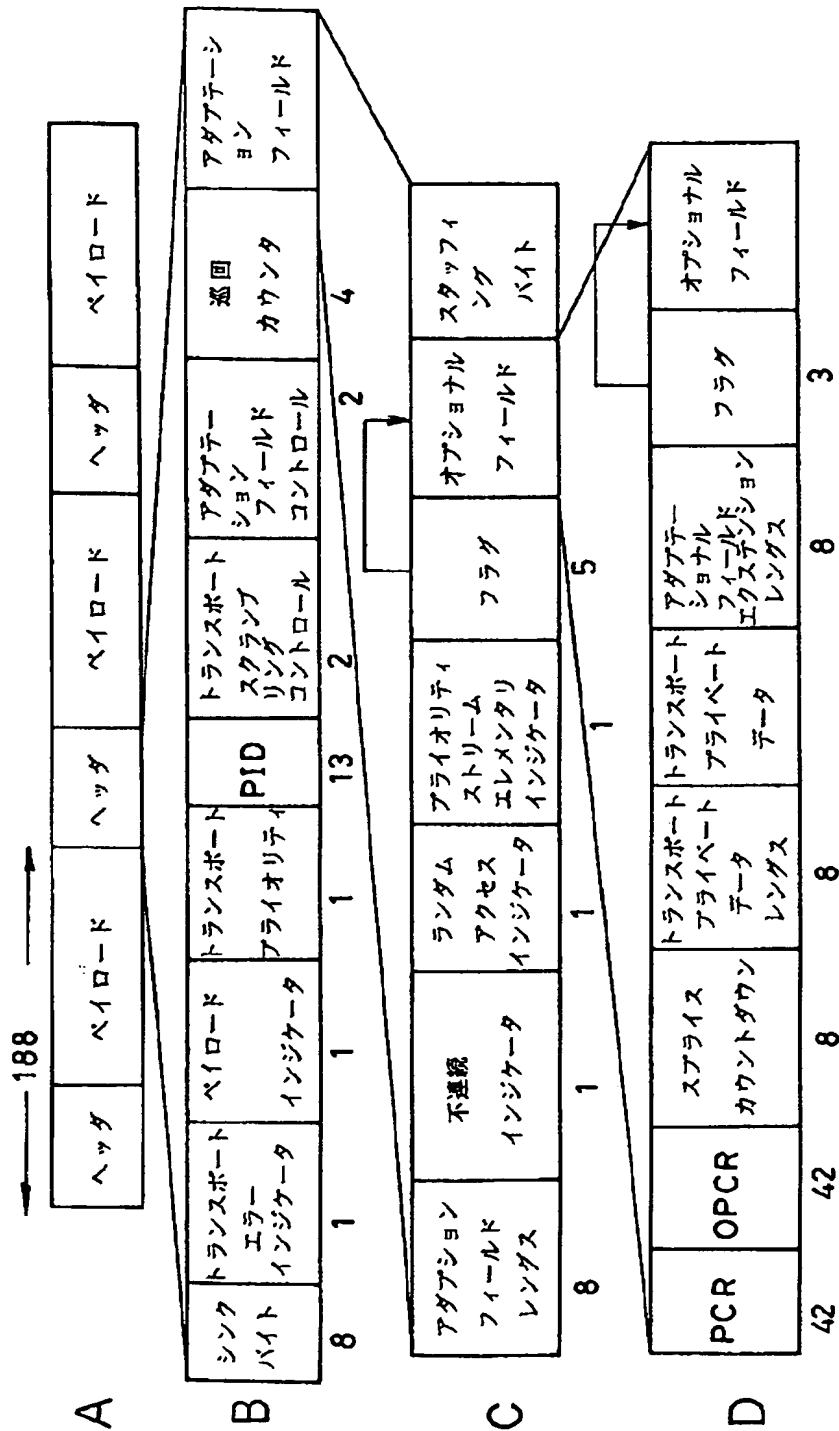
【図20】



【図 21】



【図 22】



フロントページの続き

(51) Int. Cl. ⁶

H 0 4 N 5/92

識別記号

庁内整理番号

F I

技術表示箇所